

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-167596

(43)Date of publication of application : 25.06.1996

(51)Int.Cl.

H01L 21/3065

C23C 16/50

C23F 4/00

H01L 21/205

(21)Application number : 06-331925

(71)Applicant : SONY CORP

(22)Date of filing : 09.12.1994

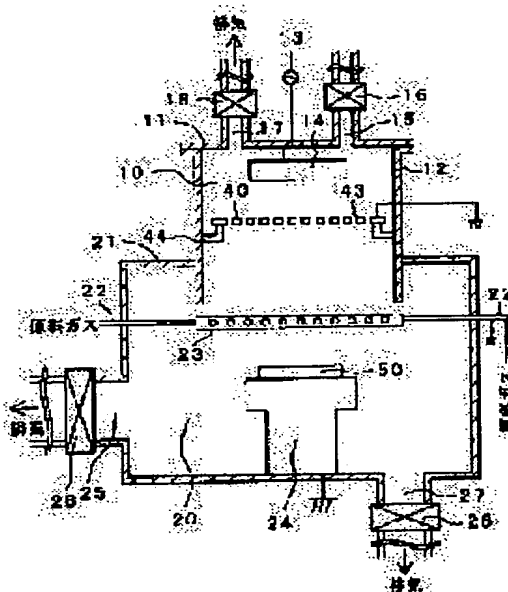
(72)Inventor : SANO NAOKI  
SAMEJIMA TOSHIYUKI(54) PLASMA TREATMENT DEVICE, PLASMA TREATMENT METHOD, AND  
MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a plasma treatment device which is capable of efficiently blocking out plasma to restrain it from causing damage to a work.

CONSTITUTION: A plasma treatment device is equipped with a plasma generating chamber 10 which generates plasma and a plasma treatment chamber 20 where a work 50 to treat with plasma is arranged, wherein at least a plasma isolating mesh plate 40 is arranged between the plasma generating chamber 10 and the plasma treatment chamber 20, and openings 43 are provided in the mesh plate 40 and below twice as long in diameter as Debye length. Or, a voltage  $V_0$  which meets a formula,  $0 < V_0 \leq 30$  volts, may be applied to the mesh plate 40.

$$0 < V_0 \leq 30 \text{ [V]}$$



## LEGAL STATUS

[Date of request for examination]

17.07.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-167596

(43)公開日 平成8年(1996)6月25日

(51)Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/3065

C 2 3 C 16/50

C 2 3 F 4/00

H 0 1 L 21/205

A 9352-4K

H 0 1 L 21/ 302

B

審査請求 未請求 請求項の数17 F D (全 17 頁)

(21)出願番号

特願平6-331925

(22)出願日

平成6年(1994)12月9日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 佐野 直樹

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 鮫島 俊之

東京都品川区北品川6丁目7番35号 ソニー株式会社内

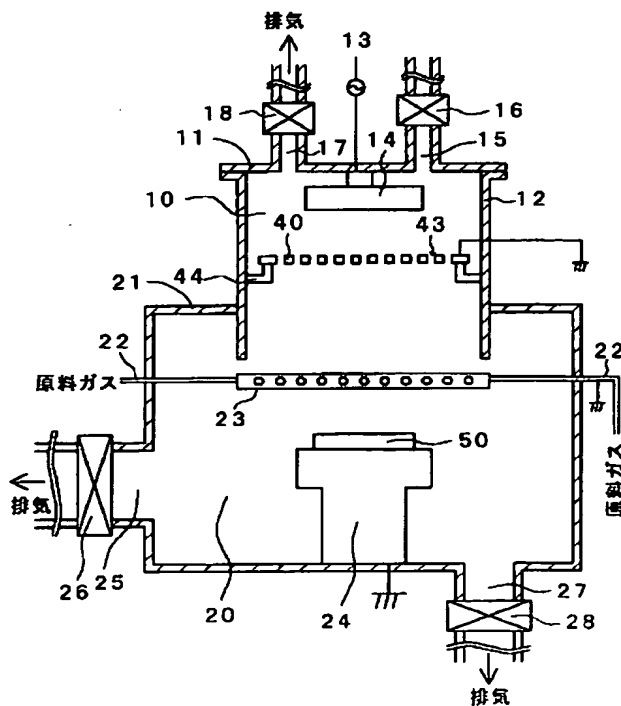
(74)代理人 弁理士 山本 孝久

(54)【発明の名称】 プラズマ処理装置、プラズマ処理方法及び半導体装置の作製方法

(57)【要約】

【目的】プラズマの遮蔽をより効率よく行うことができ、プラズマ損傷の発生を一層効果的に抑制できるプラズマ処理装置を提供する。

【構成】プラズマを生成するプラズマ生成室10と、プラズマ処理すべき被処理物50を配置するプラズマ処理室20とを備えたプラズマ処理装置には、プラズマ生成室10とプラズマ処理室20との間に少なくとも1枚のプラズマ分離用のメッシュプレート40が配設されており、メッシュプレート40には複数の開口部43が設けられており、開口部の径はプラズマのデバイ長の2倍以下である。あるいは又、メッシュプレートに0ボルト< $V_0 \leq 30$ ボルトの電圧 $V_0$ を印加し得る。



## 【特許請求の範囲】

【請求項1】プラズマを生成するプラズマ生成室と、プラズマ処理すべき被処理物を配置するプラズマ処理室とを備えたプラズマ処理装置であって、プラズマ生成室とプラズマ処理室との間に少なくとも1枚のプラズマ分離用のメッシュプレートが配設されており、該メッシュプレートには複数の開口部が設けられており、該開口部の径はプラズマのデバイ長の2倍以下であることを特徴とするプラズマ処理装置。

【請求項2】プラズマ生成室とプラズマ処理室との間に2枚以上のプラズマ分離用のメッシュプレートが配設されており、各メッシュプレートに設けられた開口部の径は、当該メッシュプレートで仕切られた2つの空間の内、プラズマ生成室に近い側の空間におけるプラズマのデバイ長の2倍以下であることを特徴とする請求項1に記載のプラズマ処理装置。

【請求項3】プラズマ生成室における電子密度を $n_e$ 、電子温度を $T_e$ としたとき、プラズマ生成室に隣接したメッシュプレートに設けられた開口部は $2(kT_e\epsilon_0/n_e e^2)^{1/2}$ の2倍以下(但し、 $k$ はボルツマン定数、 $\epsilon_0$ は真空の誘電率、 $e$ は電子の電荷)であることを特徴とする請求項1又は請求項2に記載のプラズマ処理装置。

【請求項4】プラズマを生成するプラズマ生成室と、プラズマ処理すべき被処理物を配置するプラズマ処理室とを備えたプラズマ処理装置であって、生成室とプラズマ処理室との間に少なくとも1枚のプラズマ分離用のメッシュプレートが配設されており、該メッシュプレートに複数の開口部が設けられており、該メッシュプレートに0ボルト $< V_0 \leq 30$ ボルトの電圧 $V_0$ を印加し得ることを特徴とするプラズマ処理装置。

【請求項5】プラズマ処理室に配置されたプラズマ処理すべき被処理物の表面電位と、該被処理物に隣接するメッシュプレート近傍のプラズマ空間電位とが略同一となるように、該被処理物に隣接した該メッシュプレートに印加する電圧 $V_0$ を制御することを特徴とする請求項4に記載のプラズマ処理装置。

【請求項6】プラズマ生成室とプラズマ処理室との間に2枚以上のプラズマ分離用のメッシュプレートが配設されており、各メッシュプレートに印加する電圧 $V_0$ を略同一にすることを特徴とする請求項4又は請求項5に記載のプラズマ処理装置。

【請求項7】プラズマ処理装置は、膜形成を目的としたリモートプラズマCVD装置又はスパッタ装置であることを特徴とする請求項1乃至請求項6のいずれか1項に記載のプラズマ処理装置。

【請求項8】プラズマ処理装置は、エッチングを目的としたラジカルビームエッチング装置であることを特徴とする請求項1乃至請求項6のいずれか1項に記載のプラズマ処理装置。

【請求項9】プラズマ処理装置は、フォトリソットの灰化を目的としたアッシング装置であることを特徴とする請求項1乃至請求項6のいずれか1項に記載のプラズマ処理装置。

【請求項10】請求項1乃至請求項6のいずれか1項に記載のプラズマ処理装置を用いて、プラズマ処理室に配置された基体上に薄膜を成膜することを特徴とするプラズマ処理方法。

【請求項11】請求項1乃至請求項6のいずれか1項に記載のプラズマ処理装置を用いて、プラズマ処理室に配置された基体上に形成された薄膜をエッチングすることを特徴とするプラズマ処理方法。

【請求項12】請求項1乃至請求項6のいずれか1項に記載のプラズマ処理装置を用いて、プラズマ処理室に配置された基体上に形成されたフォトリソットを灰化することを特徴とするプラズマ処理方法。

【請求項13】半導体装置は絶縁ゲート型電界効果トランジスタであり、請求項1乃至請求項6のいずれか1項に記載のプラズマ処理装置を用いて、プラズマ処理室に配置された基体上に絶縁膜を成膜することを特徴とする半導体装置の作製方法。

【請求項14】絶縁膜は、 $SiO_2$ 膜、 $SiN$ 膜、 $SiON$ 膜、あるいはこれらの膜の積層構造から成ることを特徴とする請求項13に記載の半導体装置の作製方法。

【請求項15】基体は、単結晶半導体材料、アモルファス半導体材料又は多結晶半導体材料から成ることを特徴とする請求項13又は請求項14に記載の半導体装置の作製方法。

【請求項16】基体は、レーザでの加熱によって多結晶化された多結晶シリコン層から成ることを特徴とする請求項15に記載の半導体装置の作製方法。

【請求項17】半導体装置は太陽電池であり、請求項1乃至請求項6のいずれか1項に記載のプラズマ処理装置を用いて、プラズマ処理室に配置された基体上に保護用絶縁膜を成膜することを特徴とする半導体装置の作製方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、プラズマ処理装置、並びにかかるプラズマ処理装置を用いたプラズマ処理方法及び半導体装置の作製方法に関する。より具体的には、本発明は、プラズマ発生領域と被処理物処理領域とを分離するリモートプラズマ法の実施に適したプラズマ処理装置に関し、より詳しくは、プラズマCVD法やプラズマエッチング法、アッシング(灰化)法等において、大面積の被処理物(例えば、ウェハや各種基板)を短時間で良好に処理できるプラズマ処理装置、並びにかかるプラズマ処理装置を用いたプラズマ処理方法及び半導体装置の作製方法に関する。

## 【0002】

【従来の技術】例えば、アクティブマトリックス型の液晶ディスプレイ装置においては、そのスイッチング素子は、絶縁ゲート型トランジスタ（MISトランジスタ）から成るTFT（Thin Film Transistor；薄膜トランジスタ）によって構成されている。そして、大面積のMIS型半導体装置を低温プロセスで作製するための検討が盛んに行われている。この場合、基板として、一般に、硼珪酸ガラスあるいはプラスチック等の低融点材料若しくは耐熱性の低い材料が使用されている。従って、TFTの作製、より具体的には、例えばゲート絶縁膜の形成を、例えば600°C以下の低温で行う必要がある。然るに、600°C以下のプロセス温度では、例えば熱酸化といった従来のゲート絶縁膜形成方法を用いることができない。それ故、現在、様々なゲート絶縁膜形成技術が検討されている。その中でも、ゲート絶縁膜形成方法として、ゲート絶縁膜の成膜における基板温度を600°C以下とし得るプラズマCVD（化学的気相成長）法が提案されている。このプラズマCVD法によるゲート絶縁膜形成方法は、大面積且つ均一な絶縁膜の成膜が容易であるという点で有望である。

#### 【0003】

【発明が解決しようとする課題】しかしながら、従前の知見によれば、プラズマCVD法による絶縁膜の形成においては、低温成膜ができる利点はあるものの、プラズマによる絶縁膜の損傷によって、目的とする優れた特性を有するMISトランジスタの作製が困難であるという問題がある。即ち、例えばnチャネル型MISトランジスタにおいては、動作がデプレッション型となる。また、pチャネル型MISトランジスタにおいては、所定の負の電圧をゲート電極に印加してもトランジスタがオンしないという閾値電圧 $V_{th}$ の増大化現象が生じる。その結果、nチャネル型及びpチャネル型トランジスタを用いた回路の集積化が困難となっている。

【0004】このような現象は、ゲート絶縁膜の成膜時等におけるプラズマ照射によって発生するゲート絶縁膜中の格子欠陥に起因した正電荷によって生じると考えられている。即ち、この正電荷は、例えば例えば $SiO_2$ から成るゲート絶縁膜中のSiのダングリングボンド

（未結合手）、即ち酸素空孔等の欠陥によって発生すると考えられている。そして、この正電荷がゲート絶縁膜と半導体（例えばSi）との界面近傍に存在すると、フラットバンド電圧の負方向へのシフト（移動）がもたされる。その結果、上述したnチャネル型MISトランジスタのデプレッション型化、pチャネル型MISトランジスタの閾値電圧 $V_{th}$ の増大化が生じると考えられている。また、強度のプラズマを照射した場合、上述のゲート絶縁膜のプラズマ損傷と同時に、不純物がゲート絶縁膜へ混入するという現象も起こり得る。この不純物が、例えばナトリウムのような可動性且つイオン性の不純物である場合、フラットバンド電圧のシフトの発生のみな

らず、MISトランジスタの素子特性の安定性が大きく損なわれる。

【0005】フラットバンド電圧のシフトは通常数ボルトである。従って、MISトランジスタの動作電圧が比較的高い場合（例えば±20V程度である場合）、4V程度のフラットバンド電圧のシフトは許容できる。しかしながら、昨今ますます要求が高まっている低電圧駆動、例えばCMOS回路の5V駆動を考えた場合には、このような大きなフラットバンド電圧のシフトは許容することができない。

【0006】従って、これらの問題を解決するには、絶縁膜／半導体界面におけるプラズマ損傷の発生を極力低減しなければならない。そのため、ゲート絶縁膜を形成すべき基体（半導体基板等）を直接プラズマに晒さないような構造を有するプラズマCVD装置の開発が活発に行われている。例えば本出願人によって提案された平行平板型リモートプラズマ装置はその一例である（特開平5-21393号公報参照）。

【0007】ところが、この公開公報に開示された平行平板型リモートプラズマ装置を用いた場合であっても、基体に対するプラズマ中の荷電粒子の遮蔽が完全になされるわけではない。そのため、作製されたMISトランジスタの素子特性に特性劣化や特性ばらつきが認められる。即ち、ゲート絶縁膜中に正電荷が発生し、これがフラットバンド電圧のシフトをもたらし、MISトランジスタの素子特性を損なっている。

【0008】半導体装置の製造工程においては、各種材料をプラズマエッチングしたり、フォトリソグラフィ技術において用いられるフォトレジストを除去するためにフォトレジストのプラズマによるアッシング（灰化）を行っている。これらの場合においても、被処理物や基体にプラズマ損傷が発生し、被処理物や基体の品質、特性の劣化、あるいは又、最終製品である半導体装置の特性劣化を招いている。

【0009】従って、本発明の第1の目的は、プラズマの遮蔽をより効率よく行うことができ、プラズマ損傷の発生を一層効果的に抑制できるプラズマ処理装置を提供することにある。更に、本発明の第2の目的は、プラズマの遮蔽をより効率よく行うことができ、基体に対するプラズマ損傷の発生を一層効果的に抑制でき、高品位のプラズマ処理を行い得るプラズマ処理方法を提供することにある。本発明の第3の目的は、プラズマの遮蔽をより効率よく行うことができ、基体に対するプラズマ損傷の発生を一層効果的に抑制でき、優れた特性を有する半導体装置を作製し得る半導体装置の作製方法を提供することにある。

#### 【0010】

【課題を解決するための手段】上記の第1の目的を達成するための本発明の第1の態様に係るプラズマ処理装置は、プラズマを生成するプラズマ生成室と、プラズマ処

10

20

30

40

50

## 5

理すべき被処理物を配置するプラズマ処理室とを備えたプラズマ処理装置であって、プラズマ生成室とプラズマ処理室との間に少なくとも1枚のプラズマ分離用のメッシュプレートが配設されており、該メッシュプレートには複数の開口部が設けられており、該開口部の径はプラズマのデバイ長の2倍以下であることを特徴とする。

【0011】開口部の径の下限値は、メッシュプレートにおける開口部の形成技術に依存する。開口部を例えばパンチング加工で形成する場合、開口部の径の下限値は0.1mm程度である。一方、開口部を例えばエッチング加工で形成する場合、開口部の径の下限値は0.01mm程度である。

【0012】本発明の第1の態様に係るプラズマ処理装置においては、プラズマ生成室とプラズマ処理室との間に2枚以上のプラズマ分離用のメッシュプレートが配設されており、各メッシュプレートに設けられた開口部の径は、当該メッシュプレートで仕切られた2つの空間の内、プラズマ生成室に近い側の空間におけるプラズマのデバイ長の2倍以下である態様を含めることができる。

【0013】更には、プラズマ生成室における電子密度を $n_e$ 、電子温度を $T_e$ としたとき、プラズマ生成室に隣接したメッシュプレートに設けられた開口部の径を、 $(kT_e \epsilon_0 / n_e e^2)^{1/2}$ の2倍以下（但し、 $k$ はボルツマン定数、 $\epsilon_0$ は真空の誘電率、 $e$ は電子の電荷）とする態様を含めることができる。

【0014】上記の第1の目的を達成するための本発明の第2の態様に係るプラズマ処理装置は、プラズマを生成するプラズマ生成室と、プラズマ処理すべき被処理物を配置するプラズマ処理室とを備えたプラズマ処理装置であって、生成室とプラズマ処理室との間に少なくとも1枚のプラズマ分離用のメッシュプレートが配設されており、該メッシュプレートには複数の開口部が設けられており、該メッシュプレートに0ボルト $< V_0 \leq 30$ ボルト、好ましくは10ボルト $\leq V_0 \leq 30$ ボルト、より好ましくは10ボルト $\leq V_0 \leq 20$ ボルトの電圧 $V_0$ を印加し得ることを特徴とする。メッシュプレートに印加する電圧 $V_0$ が0ボルト $< V_0 \leq 30$ ボルトの範囲から逸脱すると、メッシュプレート近傍のプラズマ空間電位と被処理物の表面電位との間の電位差によってプラズマ中の荷電粒子がこれらの間で加速されそして被処理物に衝突する。その結果、被処理物にプラズマ損傷が発生してしまう。

【0015】本発明の第2の態様に係るプラズマ処理装置においては、プラズマ処理室に配置されたプラズマ処理すべき被処理物の表面電位と、該被処理物に隣接するメッシュプレート近傍のプラズマ空間電位とが略同一となるように、該被処理物に隣接した該メッシュプレートに印加する電圧 $V_0$ を制御する態様を含めることができる。

【0016】更には、プラズマ生成室とプラズマ処理室

## 6

との間に2枚以上のプラズマ分離用のメッシュプレートが配設されており、各メッシュプレートに印加する電圧 $V_0$ を略同一にする態様を含めることができる。

【0017】尚、本発明の第2の態様に係るプラズマ処理装置におけるメッシュプレートに設けられた開口部に対して、本発明の第1の態様に係るプラズマ処理装置の特徴である開口部の径の規定を適用することもできる。

【0018】メッシュプレートを多数枚プラズマ処理装置に装着することは、プラズマ遮蔽の効果が増す方向になる。プラズマ処理装置において薄膜を成膜する場合、成膜速度は、基本的には気相中で生成された電氣的に中性なプリカーサー $SiO^*$ (反応前駆体)が被処理物(基体)の表面に堆積する速度に依存する。従って、メッシュプレートによって荷電粒子を遮蔽しても、メッシュプレートを配設していない場合と比較して、成膜速度はあまり変わることはない。しかしながら、あまり多数のメッシュプレートを装着すると、メッシュプレート上への膜堆積が顕著となり、被処理物(基体)表面上での成膜速度が低下する要因となるので、注意が必要である。また、メッシュプレートの枚数の上限はプラズマ処理装置を排気する際のコンダクタンスの低下によっても制限される場合がある。それ故、本質的には上限は無いが、実用上は最高10枚で十分である。

【0019】メッシュプレートの開口部の平面形状は、円形や多角形、楕円等、任意の形状とすることができる。開口部の平面形状が円形の場合、開口部の径はかかる円の直径であり、開口部の平面形状が多角形の場合、開口部の径はかかる多角形の内接円の直径を意味する。開口部の平面形状が楕円の場合、開口部の径はかかる楕円の長軸の長さを意味する。また、開口部の平面形状が任意の形状の場合、かかる形状を横切る直線と、かかる形状の交わる2つの交点間の距離の内、最も長い距離を開口部の径とする。開口部は、矩形、正三角形や正六角形の頂点上等、任意のパターンに配列することができる。メッシュプレート単位面積当りの開口部の個数は、メッシュプレートの全領域で一定としてもよいし、例えば、メッシュプレートの中央部では個数を多くし、周辺部では個数を少なくしてもよいし、場合によっては周辺部に開口部を設けなくともよい。各開口部の大きさは一定であっても異なってもよい。開口部の軸線方向の断面形状は、矩形や台形等、任意の形状とすることができる。メッシュプレートは、例えばステンレススチール板等にパンチングやエッチング等の穴開け加工を施すことによって、あるいは又、エキスパンドメタルを加工することによって、作製することができる。メッシュプレート全体の平面形状は、プラズマ処理装置の形状に依存して適宜決定すればよいが、円形が最も好ましい。

【0020】また、本発明の第1及び第2の態様に係るプラズマ処理装置においては、プラズマ生成室及びプラズマ処理室にガス排気部が設けられていることが好まし

## 7

い。プラズマ生成室とプラズマ処理室との間に2枚以上のプラズマ分離用のメッシュプレートとを配設する場合には、メッシュプレートとメッシュプレートとの間にガス排気部を設ける態様が、プラズマ処理装置を短時間で排気するために、一層好ましい。尚、本発明のプラズマ処理装置においては、プラズマ処理装置のメッシュプレート取付部は電気絶縁材料から成り、メッシュプレート取付部はプラズマ処理装置の外壁の一部を構成していることが好ましい。

【0021】本発明のプラズマ処理装置として、例えば、膜形成を目的としたリモートプラズマCVD装置又はスパッタ装置、エッチングを目的としたラジカルビームエッチング装置、あるいは又、フォトレジストの灰化を目的としたアッシング装置を挙げることができる。

【0022】上記の第2の目的を達成するための本発明の第1の態様に係るプラズマ処理方法は、上記の本発明のプラズマ処理装置を用いて、プラズマ処理室に配置された基体上に薄膜を成膜することを特徴とする。

【0023】更に、上記の第2の目的を達成するための本発明の第2の態様に係るプラズマ処理方法は、上記の本発明のプラズマ処理装置を用いて、プラズマ処理室に配置された基体上に形成された薄膜をエッチングすることを特徴とする。

【0024】あるいは又、上記の第2の目的を達成するための本発明の第3の態様に係るプラズマ処理方法は、上記の本発明のプラズマ処理装置を用いて、プラズマ処理室に配置された基体上に形成されたフォトレジストを灰化することを特徴とする。

【0025】上記の第3の目的を達成するための本発明の第1の態様に係る半導体装置の作製方法は、半導体装置が絶縁ゲート型電界効果トランジスタであり、上記の本発明のプラズマ処理装置を用いて、プラズマ処理室に配置された基体上に絶縁膜を成膜することを特徴とする。

【0026】本発明の第1の態様に係る半導体装置の作製方法においては、絶縁膜は、 $\text{SiO}_2$ 膜、 $\text{SiN}$ 膜、 $\text{SiON}$ 膜、あるいはこれらの膜の積層構造から成ることが好ましい。また、基体は、単結晶半導体材料、アモルファス半導体材料又は多結晶半導体材料から成ることが好ましい。あるいは又、基体を、レーザでの加熱によって多結晶化された多結晶シリコン層から構成することができる。

【0027】上記の第3の目的を達成するための本発明の第2の態様に係る半導体装置の作製方法は、半導体装置が太陽電池であり、上記の本発明のプラズマ処理装置を用いて、プラズマ処理室に配置された基体上に保護用絶縁膜を成膜することを特徴とする。

【0028】

【作用】一般に、プラズマ中の電荷粒子は、反対符号の電荷粒子に囲まれ、中心の電荷、すなわち遮蔽される

## 8

ようになる。この遮蔽距離をデバイ長 $\lambda_D$ と呼ぶ。プラズマ中に金属片や基体等（以下、試料と呼ぶ）を入れると、試料の周りにイオンシースが生じる。このイオンシースにかかる電圧によって、イオンは試料側に引き込まれる。そして、プラズマ中の試料の電荷によって形成される電界が遮蔽され、イオンシースの外側ではプラズマはほぼ一定電位を保つようになる。このような領域を空間電荷領域と呼び、この領域の電位をプラズマ空間電位と呼ぶ。

【0029】ところで、このシースの厚みはデバイ長 $\lambda_D$ 程度となる。ここで、デバイ長 $\lambda_D$ は、電子密度を $n_e$ 、電子温度を $T_e$ としたとき、以下の式で表すことができる。

$$\lambda_D = (k T_e \epsilon_0 / n_e e^2)^{1/2} \quad (1)$$

$$\approx 6.9 (T_e / n_e)^{1/2}$$

但し、 $k$ はボルツマン定数、 $\epsilon_0$ は真空の誘電率、 $e$ は電子の電荷であり、単位はMKS系である。

【0030】上式からも明らかなように、デバイ長 $\lambda_D$ はプラズマの状態によって変化する。プラズマ処理装置にも依存するが、通常のRFグロー放電による、比較的デバイ長 $\lambda_D$ が短いArプラズマの場合、供給RF電力が10Wの条件下では、電子温度 $T_e$ 及び電子密度 $n_e$ は、それぞれ2eV、 $10^9 \text{ cm}^{-3}$ 程度である。従って、デバイ長 $\lambda_D$ は0.33mm程度となる。

【0031】本発明の第1の態様に係るプラズマ処理装置においては、メッシュプレートに設けられた開口部の径をプラズマのデバイ長の2倍以下とする。例えば上述の条件においては、開口部の径を0.66mm以下とする。

【0032】開口部の径がデバイ長の2倍を越える場合、開口部の中心部は空間電荷領域となる。そしてこの領域は、例えばプラズマ発生室内の放電領域における空間電荷領域のプラズマパラメータ（電子密度 $n_e$ や電子温度 $T_e$ ）に等しくなる。その結果、メッシュプレートの存在によって当然プラズマ密度は低下するものの、プラズマ中の電荷粒子である電子や正負イオン等は被処理物（基体）が配置されたプラズマ処理室に開口部を介して漏洩し、プラズマ処理室におけるプラズマ密度が高くなる。そして、プラズマ処理室において、プラズマ放電が起こり易くなる。即ち、プラズマ発生室の高密度プラズマがメッシュプレートの開口部を介してプラズマ処理室に漏洩し、被処理物（基体）がプラズマ損傷を受ける原因となる。

【0033】一方、メッシュプレートに設けられた開口部の径をプラズマのデバイ長の2倍以下とすることによって、メッシュプレートの開口部の中心部には空間電荷領域が存在し得なくなる。即ち、メッシュプレートの開口部全体がシース領域となっており、開口部には電界が加わっているため、プラズマ中の電荷粒子はメッシュプレートに捕獲されてしまい、プラズマ処理室におけるプ



ラズマ密度が大きく低下する。言い換えれば、プラズマ中の荷電粒子をメッシュプレートによって効果的に遮蔽することができ、被処理物（基体）に対するプラズマ損傷を大きく低減することができる。

【0034】通常、被処理物は、プラズマ処理室内に配設された被処理物載置部に載置されている。被処理物載置部を或る一定電位に保ったとしても、被処理物の表面は、プラズマ処理中のプラズマ損傷等に起因して必ずしもこの一定電位に制御されるとは限らない。例えば、プラズマ処理装置がプラズマCVD装置のような薄膜形成装置であり、例えばSiO<sub>2</sub>膜を成膜する場合、プラズマ損傷の発生によって、SiO<sub>2</sub>膜中に酸素欠損を有するような欠陥が生じ、これが正電荷を発生し得る。そして、この正電荷によって、被処理物載置部がたとえ接地されていたとしても、被処理物の表面電位は正になる。

【0035】本発明の第2の態様に係るプラズマ処理装置においては、メッシュプレートに印加する電圧V<sub>0</sub>を、 $0 < V_0 \leq 30$ ボルトに制御することで、メッシュプレート近傍のプラズマ空間電位を被処理物の表面電位に出来るだけ近づける。その結果、メッシュプレート近傍のプラズマ空間電位と被処理物の表面電位との間の電位差によってプラズマ中の荷電粒子がこれらの間で加速されそして被処理物に衝突することを、効果的に防ぐことができる。それ故、被処理物にプラズマ損傷が発生することを効果的に防止することができる。

#### 【0036】

【実施例】以下、図面を参照して、実施例に基づき本発明を説明する。尚、実施例のプラズマ処理装置においては、金属製のメッシュプレートによって、プラズマ処理装置の内部をプラズマ生成室とプラズマ処理室に分離する。そして、このようなプラズマ処理装置を用いて、プラズマ損傷の発生を抑制しつつ、基体である半導体基板上に半導体素子（例えばMISトランジスタ）を作製するために薄膜を成膜したり、薄膜をプラズマエッチングしたり、あるいは、半導体素子作製工程にて用いられるフォトリソのアッシング（灰化）を行う。尚、半導体基板には、その全体が半導体によって構成されるバルク形構成による基板はもとより、例えば絶縁性若しくは半絶縁性基板上に単結晶半導体層、多結晶半導体層、非晶質半導体層が形成された構成による基板をも包含される。

【0037】尚、実施例1～実施例3は、本発明の第1の態様に係るプラズマ処理装置（具体的には、膜形成を目的とした平行平板型のリモートプラズマCVD装置）に関し、実施例4及び実施例5は、本発明の第2の態様に係るプラズマ処理装置（具体的には、膜形成を目的とした平行平板型のリモートプラズマCVD装置）に関する。また、実施例6～実施例8は、本発明の第1の態様に係るプラズマ処理装置を用いた、本発明の第1の態様に係るプラズマ処理方法あるいは本発明の第1及び第2

の態様に係る半導体装置の作製方法に関する。更には、実施例9は、本発明の第2の態様に係るプラズマ処理装置を用いた、本発明の第1の態様に係るプラズマ処理方法に関する。

【0038】（実施例1）実施例1は、本発明の第1の態様に係るプラズマ処理装置である。実施例1におけるプラズマ処理装置は、膜形成を目的とした平行平板型のリモートプラズマCVD装置である。その概略の構造を図1に示す。実施例1のプラズマ処理装置は、基本的にはプラズマ生成室10とプラズマ処理室20を備えている。

【0039】プラズマ生成室10は、円板形の金属製の外壁部材11と円筒形の金属製の外壁部材12とから構成されている。即ち、プラズマ処理装置は、金属製の外壁部材11、12、21によって外気と隔離されている。プラズマ生成室10には、バルブ18付きのガス排気部17が設けられており、図示しない排気ポンプによりプラズマ生成室10内のガスを排気し、プラズマ生成室10内を真空引きする。プラズマ生成室10へのプラズマ発生用ガスの導入は、外壁部材11に設けられたバルブ16付きガス導入部15から行う。SiO<sub>2</sub>を成膜する場合、O<sub>2</sub>ガス及びHeガスをガス導入部15からプラズマ生成室10内に導入する。プラズマを生成させるために、外壁部材11に取り付けられた電力導入端子13を経て上部電極14にRF電力（13.56MHz）が供給される。

【0040】プラズマ処理室20は、円筒形の金属製の外壁部材21から構成されている。プラズマ処理室20には、ガス導入部22、バルブ26付きのガス排気部25、バルブ28付きのガス排気部27が備えられている。ガス導入部22から導入されたガスは、リング状のガス拡散器23に設けられた多数の小孔からプラズマ処理室20の内部に均一に拡散される。そしてプラズマ処理室20に備えられたガス排気部27から、図示しない排気ポンプによって排気される。一方、プラズマ生成室10内に導入されたプラズマ発生用のガスは図1の下方に流れ、プラズマ処理室20のガス排気部27から排気される。プラズマ処理室20の底部には、加熱用ヒーター（図示せず）を備えそして電気的に接地された被処理物載置部24が配設されている。この被処理物載置部24上にプラズマ処理すべき被処理物（例えばウエハ）50を載置する。

【0041】プラズマ生成室10とプラズマ処理室20とは、円筒形の金属製の外壁部材12で結ばれている。外壁部材12の一部分は、プラズマ処理室20の外壁部材21を介してプラズマ処理室20の内部に収納されており、プラズマ処理室20内の外壁部材12の端部はガス拡散器23の上方に位置する。

【0042】外壁部材12にはメッシュプレート40が配設されている。メッシュプレート40は、絶縁材（図

示せず)を介して支持部材44によって外壁部材12に取り付けられている。尚、外壁部材12の構造や組立方法、メッシュプレートの取付け方法は適宜変更することができる。

【0043】メッシュプレート40は、プラズマ生成室10とプラズマ処理室20とを空間的に分離する。メッシュプレート40は金属板から成り、その平面形状は、図1に示した実施例1のプラズマ処理装置の場合には円板状である。この円板状のメッシュプレートには、円形の複数の開口部43が開けられている。プラズマは、プラズマ生成室10内で、上部電極14とメッシュプレート40との間で発生する。

【0044】実施例1におけるメッシュプレートには、0.5mm径の開口部43(平面形状は円形)が、一辺1.0mmの正三角形の頂点上に多数配置されている。メッシュプレート40は接地されている。プラズマ生成室10で生成したプラズマの、式(1)で表わされるデバイ長 $\lambda_D$ は0.33mm程度である。従って、開口部43の径(直径)は、プラズマ生成室10で生成したプラズマのデバイ長 $\lambda_D$ の2倍以下である。

【0045】実施例1において、プラズマ生成室10に導入されたガスは、メッシュプレート40に設けられた開口部43を通り抜けてプラズマ処理室20に流入する。開口部43の径をデバイ長 $\lambda_D$ の2倍以下とすることによって、効果的にプラズマ中の荷電粒子を遮蔽することができ、被処理物50に対して電氣的に中性の励起された原子種若しくは分子種が主に照射される。その結果、被処理物50(基体)に対するプラズマ損傷を大幅に低減することができる。

【0046】一例として、アルゴンガスを用いたリモートプラズマ法において、実施例1のプラズマ処理装置のメッシュプレート40直下の電子密度と、電力導入端子13を経て上部電極14に供給された13.56MHzのRF電力(以下、供給RF電力と呼ぶ)との関係を図2に示す。アルゴンガスの流量を30sccm、圧力を40Pa(300ミリトル)とした。プラズマ診断法は、例えば、Applied Physics Letters 65 (2), 1994, p 162 Sano, et al., に示されたラングミュアプローブ解析を応用した手法に基づいている。

【0047】図2において、曲線(a)は、メッシュプレートに設けられた直径2.0mmの円形形状の開口部が一辺4.0mmの正三角形の頂上に配置されている場合の電子密度を示す。また、曲線(b)は、メッシュプレートに設けられた直径1.0mmの円形形状の開口部が一辺2.0mmの正三角形の頂上に配置されている場合の電子密度を示す。更に、曲線(c)は実施例1の場合、即ち、メッシュプレートに設けられた直径0.5mmの円形形状の開口部が一辺1.0mmの正三角形の頂上に配置されている場合の電子密度を示す。尚、直径2.0mm及び1.0mmの開口部においては、開口部

の径はデバイ長の2倍を超えている。各メッシュプレートの開口率は、全て22.7%で等しい。

【0048】図2から明らかなように、メッシュプレートの開口率が等しいにも拘わらず、電子密度が大きく異なっている。曲線(b)と曲線(c)を比較すると、電子密度は2桁以上も異なっていることが判る。実施例1による曲線(c)の電子密度が低い理由は、前述したように、メッシュプレートに設けられた開口部の径がデバイ長の2倍以下であり、プラズマ中の荷電粒子がメッシュプレートによって効果的に遮蔽されているからである。

【0049】(実施例2) 実施例2は、実施例1の変形である。実施例2が実施例1と相違する点は、メッシュプレートの数にある。実施例1においてはメッシュプレートを1枚とした。一方、実施例2においてはメッシュプレートを3枚とした。実施例2のプラズマ処理装置の概要を図3に模式的に示す。

【0050】実施例2においては、外壁部材12にメッシュプレート40、41、42が配設されている。尚、外壁部材12の端部にメッシュプレート42が配設されている。各メッシュプレート40、41、42は、絶縁材(図示せず)を介して支持部材44によって外壁部材12に取り付けられている。各メッシュプレート40、41、42は接地されている。尚、外壁部材12の構造や組立方法、メッシュプレートの取付け方法は適宜変更することができる。こうして、外壁部材12とメッシュプレート40、41によってプラズマ分離室30が形成され、外壁部材12とメッシュプレート41、42によってプラズマ分離室31が形成される。尚、実施例2においては、外壁部材12とメッシュプレート40、41、42との間には隙間45が形成されている。即ち、外壁部材12の内径は、メッシュプレート40、41、42の外径よりも大きい。

【0051】外壁部材12にはバルブ35付きガス排気部34が設けられている。即ち、メッシュプレート40とメッシュプレート41との間のプラズマ分離室30にはガス排気部34が設けられている。尚、メッシュプレート41とメッシュプレート42との間にガス排気部を設けてもよい。あるいは又、各プラズマ分離室にガス排気部を設けてもよい。プラズマ分離室は、図示しない排気ポンプにより排気され、真空引きされる。

【0052】メッシュプレート40、41、42は、プラズマ生成室10とプラズマ処理室20とを空間的に分離する。メッシュプレート40、41、42は、例えば同一サイズの金属板であり、その平面形状は、図3に示した実施例2のプラズマ処理装置の場合には円板状である。この円板状のメッシュプレート40、41、42には、円形の複数の開口部43が開けられている。実施例2におけるメッシュプレート40、41、42には、実施例1と同様に、0.5mm径の開口部43(平面形状

は円形)が、一辺1.0mmの正三角形の頂点上に多数設けられている。

【0053】即ち、プラズマ生成室10における電子密度を $n_e$ 、電子温度を $T_e$ としたとき、プラズマ生成室10に隣接したメッシュプレート40に設けられた開口部43の径 $r$ は、 $r \leq 2(kT_e \epsilon_0 / n_e e^2)^{1/2}$ を満足している。

【0054】尚、メッシュプレート40、41、42のそれぞれにおける開口部43の径は同一でなくともよい。例えば、メッシュプレート41に設けられた開口部43の径を、メッシュプレート40に設けられた開口部43の径より大きくしてもよい。その理由は、メッシュプレートで仕切られた2つの空間の内、プラズマ生成室10に遠い側の空間におけるプラズマの電子密度は、プラズマ生成室10に近い側の空間におけるプラズマの電子密度よりも、例えば $10^{-2}$ オーダーで小さくなり、その結果、デバイ長 $\lambda_D$ の値が大きくなるからである。同様の理由で、メッシュプレート42に設けられた開口部43の径を、メッシュプレート41に設けられた開口部43の径より大きくしてもよい。但し、複数のメッシュプレートの内、少なくとも1枚のメッシュプレートにおいて、かかるメッシュプレートに設けられた開口部の径の大きさを、かかるメッシュプレートで仕切られた2つの空間の内、プラズマ生成室10に近い側の空間におけるプラズマのデバイ長の2倍以下とする必要がある。

【0055】実施例2においては、プラズマ生成室10に導入されたガスは、メッシュプレート40、41、42に設けられた開口部43、及び外壁部材12と各メッシュプレート40、41、42との間に設けられた狭い隙間45を通り抜けてプラズマ処理室20に流入する。このような構造にすることで、プラズマ処理室20内にガス拡散器23から導入されたガスが、図3の上方に逆拡散してプラズマ生成室10まで到達することを困難にしている。

【0056】(実施例3)実施例3も、実施例1の変形である。実施例3が実施例1と相違する点は、メッシュプレートの数、及びメッシュプレートの構造にある。実施例3においてはメッシュプレートを2枚とした。実施例3のプラズマ処理装置の概要を図4に模式的に示す。

【0057】実施例3のプラズマ処理装置には、2つのメッシュプレート40A、41Aが配設されている。メッシュプレート40Aの構造は、実施例1にて説明したメッシュプレート40と同じ構造である。一方、メッシュプレート41Aは、ガス拡散器としての機能も有している。即ち、メッシュプレート41Aは、中空円盤構造を有し、上板41B及び下板41Cには開口部43が設けられている。また、メッシュプレート41Aの中空部41Dにはガス導入部22が接続されており、メッシュプレート41Aの中空部41Dに導入されたガスは下板41Cに設けられた開口部43からプラズマ処理室20

の内部に均一に拡散される。しかも、プラズマ生成室10に導入されたガスは、メッシュプレート40A、41Aに設けられた開口部43を通り抜けてプラズマ処理室20に流入する。メッシュプレート40A及び41Aは、接地されている。メッシュプレート40A、41Aには、0.5mm径の開口部43(平面形状は円形)が、一辺1.0mmの正三角形の頂上に多数設けられている。開口部43の径は、プラズマ生成室10で生成したプラズマのデバイ長 $\lambda_D$ の2倍以下である。

【0058】(実施例4)実施例4は、本発明の第2の態様に係るプラズマ処理装置に関する。実施例4におけるプラズマ処理装置は、平行平板型のプラズマCVD装置である。その概略の構造を図5に示す。実施例4のプラズマ処理装置が実施例1と相違する点は、メッシュプレート40に電圧( $V_0$ )を印加するために可変直流電源46を備えている点にある。その他の構成は実施例1にて説明したプラズマ処理装置と同じであり、詳細な説明は省略する。尚、メッシュプレート40に印加する電圧 $V_0$ を、0ボルト $< V_0 \leq 30$ ボルトの範囲で制御する。メッシュプレート40に設けられた開口部43の径は、プラズマ生成室10で生成したプラズマのデバイ長 $\lambda_D$ の2倍を越えてもよいが、デバイ長の2倍以下とすることが好ましい。

【0059】一例として、アルゴンガスを用いたリモートプラズマ法において、実施例4のプラズマ処理装置のメッシュプレート40直下におけるプラズマ空間電位(プラズマポテンシャル)と、メッシュプレート40に印加した電圧( $V_0$ )との関係を図6の(A)に示す。電力導入端子13を経て上部電極14に供給されたRF電力(13.56MHz)を10W、アルゴンガス流量を30sccm、アルゴンガス圧力を40Pa(300ミリトル)とした。図6の(A)から、プラズマ空間電位(プラズマポテンシャル)は、メッシュプレートに印加される電圧( $V_0$ )の変化に対して、ほぼ直線的に変化していることが判る。尚、供給RF電力を5W~20Wまで変化させたが同様の傾向が認められた。

【0060】また、メッシュプレート40直下の電子密度と、電力導入端子13を経て上部電極14に供給されたRF電力(13.56MHz)の関係を図6の(B)に示す。アルゴンガス流量を30sccm、アルゴンガス圧力を67Pa(500ミリトル)とした。図6の(B)から、電子密度は供給RF電力に比例して増加していることが判る。尚、メッシュプレートに印加される電圧を-20ボルトから+20ボルトまで変化させたが同様の傾向が認められた。

【0061】(実施例5)実施例5は、実施例4で説明したプラズマ処理装置の変形である。図7に示す実施例5のプラズマ処理装置には、実施例4のプラズマ処理装置と異なり、2つのメッシュプレート40A、41Aが配設されている。メッシュプレート40A、41Aの構造は、実

施例4にて説明したメッシュプレート40と同じ構造である。一方、メッシュプレート41Aは、実施例3で説明したメッシュプレート41Aと同じ構造を有する。メッシュプレート40A及び41Aには、可変直流電源46A、47Aから直流が供給される。

【0062】(実施例6) 実施例6は、プラズマ処理室に配置された基体上に薄膜を成膜するプラズマ処理方法に関する。実施例6においては、薄膜はSiO<sub>2</sub>膜から成るゲート絶縁膜とした。また、基体は、単結晶半導体材料、具体的にはシリコン半導体基板から成る。

【0063】実施例6においては、本発明の第1の態様に係るプラズマ処理装置を用いた。即ち、実施例6においては、プラズマ生成室10とプラズマ処理室20の間に、メッシュプレート40A、41Aが配設された実施例3にて説明した構造を有する平行平板型のプラズマCVD装置から成るプラズマ処理装置を用いた。メッシュプレート40A、41Aに設けられた開口部43の径は、プラズマ生成室10で生成したプラズマのデバイ長 $\lambda_D$ の2倍以下である。尚、メッシュプレート40A、41Aは接地されている。

【0064】これによって、プラズマ生成室10で発生したプラズマ中の電子あるいは正負イオンの荷電粒子がメッシュプレート40A、41Aを介してプラズマ処理室20に漏洩することを効果的に抑制することができる。その結果、被処理物載置部24に載置された基体であるシリコン半導体基板に、中性ラジカル、即ち、電気的に中性の励起原子種若しくは励起分子種が主に照射される。従って、基体(例えばシリコン半導体基板)の表面あるいはその上に形成される絶縁膜(例えばSiO<sub>2</sub>から成るゲート絶縁膜)が荷電粒子によって損傷を受けることを効果的に防止できる。尚、プラズマ処理装置は、実施例3にて説明したプラズマ処理装置に限定されるものではない。

【0065】図2及び図6の(B)に示したように、供給RF電力が増加するに伴い、プラズマ中の電子密度が増加するので、シリコン半導体基板から成る基体へのプラズマ損傷の発生を抑制するためには、供給RF電力を、放電を維持できる範囲において出来る限り低くすることが望ましい。尚、以下の各実施例においても同様である。

【0066】このようなプラズマ処理装置を用いて、ゲート絶縁膜を基体であるシリコン半導体基板上に形成する。実施例6においては、具体的には、基体として、ボロンBが $1.0 \times 10^{15} \text{ atoms/cm}^3$ ドープされたp型のシリコン単結晶基板を用いた。そして、その主面上に、基板温度を270°Cとして、図4に示した平行平板型のプラズマCVD装置から成るプラズマ処理装置を用いて、SiO<sub>2</sub>から成り厚さ100nmのゲート絶縁膜を成膜し、そのために、ガス導入部15から酸素O<sub>2</sub>ガス及びHeガスをプラズマ生成室10に供給し、一方、ガス

導入部22からモノシランSiH<sub>4</sub>ガス及びHeガスをプラズマ処理室20に供給した。

【0067】次いで、ゲート絶縁膜の上にアルミニウムの蒸着膜から成るゲート電極を形成して、MISキャパシタ(MISダイオード)を作製した。そして、その電気容量-電圧(C-V)特性を測定した。測定結果を図8の(A)に示す。

【0068】また、プラズマ損傷の発生低減を、半導体装置の特性面から確認するために、比較例1として、直径1.0mmの円形状の開口部が一辺2.0mmの正三角形の頂点に多数配置されているメッシュプレートを用いて、実施例6と同様の方法・条件でMISキャパシタ(MISダイオード)を作製した。そして、その電気容量-電圧(C-V)特性を測定した。比較例1の測定結果を図8の(B)に示す。尚、開口部の径が1.0mmの場合、かかる開口部の径は、プラズマ生成室10で生成したプラズマのデバイ長 $\lambda_D$ の2倍を越えている。

【0069】図8から明らかなように、実施例6(開口部の径が0.5mm)の場合、フラットバンド電圧は-0.89Vであり、比較例1(開口部の径が1.0mm)の場合、フラットバンド電圧は-2.16Vであった。即ち、比較例1の場合と比較して、実施例6の場合の方がフラットバンド電圧のシフトが少ない。このことは、プラズマ損傷によって生成されるゲート絶縁膜中の正電荷は、実施例6の場合の方が少ないことを意味している。また、ミッドギャップにおける界面準位密度は、実施例6及び比較例1の場合、それぞれ、 $2.3 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ 及び $7.1 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ であった。実施例6の場合、界面準位密度が小さいことから、ゲート絶縁膜に対するプラズマ損傷が少ないことが判る。

【0070】メッシュプレートに設けられた開口部の径をデバイ長の2倍以下にすることによるプラズマ遮蔽効果は、上述のMISキャパシタ(MISダイオード)のみに当てはまるものではなく、TFTを始めとするMISトランジスタ作製に適用される効果であることはいうまでもない。

【0071】(実施例7) 実施例7も、プラズマ処理室に配置された基体上に薄膜を成膜するプラズマ処理方法に関する。更に、実施例7は、本発明の第1の態様に係る半導体装置の作製方法に関する。即ち、実施例7は、半導体装置が絶縁ゲート型電界効果トランジスタ(具体的にはTFT)であり、プラズマ処理室に配置された基体上に絶縁膜を成膜する半導体装置の作製方法に関する。実施例7においては、絶縁膜はSiO<sub>2</sub>膜から成るゲート絶縁膜とした。また、基体は、レーザでの加熱によって多結晶化された多結晶シリコン層から成る。

【0072】実施例7においても、本発明の第1の態様に係るプラズマ処理装置を用いた。即ち、実施例3で説明した構造を有する平行平板型のプラズマCVD装置か

ら成るプラズマ処理装置を用いたが、かかるプラズマ処理装置に限定されるものではない。以下、図9及び図10の工程図を参照して、実施例7のプラズマ処理方法あるいは半導体装置の作製方法を説明する。尚、実施例7においては、メッシュプレート40A、41Aに電圧を印加していない。また、メッシュプレート40A、41Aには、0.5mm径の開口部43（平面形状は円形）が、一辺1.0mmの正三角形の頂点上に多数設けられている。

【0073】【工程-700】まず、ガラス基板100上にB（ボロン）ドーパの水素含有アモルファスシリコン（a-Si:H, B）若しくはP（りん）ドーパの水素含有のアモルファスシリコン（a-Si:H, P）から成る第1の半導体層101をプラズマCVD法によって成膜した。次に、フォトリソグラフィ技術及びエッチング技術によって第1の半導体層101をパターンニングして、ソース・ドレイン領域形成予定領域上に第1の半導体層101を残した（図9の（A）参照）。

【0074】【工程-710】その後、第1の半導体層101の上及び露出したガラス基板100の上に、例えばノンドーパの水素含有のアモルファスシリコン（a-Si:H）から成る第2の半導体層102をCVD法で成膜する（図9の（B）参照）。

【0075】【工程-720】そして、第2の半導体層102にエキシマレーザ光を照射するエキシマレーザアニール法によって、第2の半導体層102を多結晶化する。これと同時に、第1の半導体層101から第2の半導体層102へ不純物が熱拡散し、第1の半導体層101とその上の第2の半導体層102によってソース・ドレイン領域103が形成される。尚、ソース・ドレイン領域の間の第2の半導体層102はチャネル形成領域104に相当する（図9の（C）参照）。第2の半導体層102は、レーザでの加熱によって多結晶化された多結晶シリコン層となり、基体に相当する。

【0076】【工程-730】次に、図4に示したプラズマ処理室20内の被処理物載置部24に基体を載置し（具体的にはガラス基板100を載置し）、SiO<sub>2</sub>から成るゲート絶縁膜105を基体上に成膜する。チャネル形成領域104上のSiO<sub>2</sub>から成るゲート絶縁膜105の厚さを0.2μmとした（図10の（A）参照）。

【0077】【工程-740】その後、ソース・ドレイン領域103の上方のゲート絶縁膜105に対して、フォトリソグラフィ技術及びエッチング技術によって開口部を形成し、次いで、開口部内を含むゲート絶縁膜105上に、例えばアルミニウム系合金から成る金属配線材料を例えばスパッタ法や真空蒸着法にて成膜し、かかる金属配線材料をフォトリソグラフィ技術及びエッチング技術によってパターンニングする。併せて、チャネル形成領域104の上方の金属配線材料をパターンニングする。

これによって、ソース・ドレイン電極106及びゲート電極107を形成することができる（図10の（B）参照）。こうしてTFTを完成させた。

【0078】ゲート幅（W）=10μm、ゲート長（L）=10μmのpチャネル型TFTの、ドレイン電圧（V<sub>D</sub>）=-1Vにおけるドレイン電流（I<sub>D</sub>）-ゲート電圧（V<sub>G</sub>）特性を評価した。その結果を図11の（A）に示す。

【0079】また、比較例2として、直径1.0mmの円形状の開口部が一辺2.0mmの正三角形の頂上に多数配置されているメッシュプレートを用いて、実施例7と同様の同様の方法・条件でpチャネル型TFTを作製した。そして、そのドレイン電流（I<sub>D</sub>）-ゲート電圧（V<sub>G</sub>）特性を評価した。比較例2の測定結果を図11の（B）に示す。尚、実施例7（開口部の径が0.5mm）の場合、かかる開口部の径は、プラズマ生成室10で生成したプラズマのデバイ長λ<sub>D</sub>の2倍以下である。一方、比較例2（開口部の径が1.0mm）の場合、かかる開口部の径はデバイ長の2倍を越えている。

【0080】図11から明らかなように、実施例7においては、オフ電圧、即ちフラットバンド電圧のマイナス方向のシフトが-0.9Vであるのに対して、比較例2においては、フラットバンド電圧のマイナス方向のシフトが-2.0Vとなった。即ち、開口部の径がデバイ長の2倍を越えている場合の方が、フラットバンド電圧のマイナス方向のシフトが大きい。

【0081】また、サブスレッショルドスイング値（サブスレッショルド係数）は、実施例7の場合、0.125V/decadeであるのに対し、比較例2の場合、0.23V/decadeとなっている。即ち、開口部の径がデバイ長の2倍以下である方が、トランジスタの立ち上がり特性が優れていることを示している。

【0082】更に、オン電流についても、実施例7の場合、19.23μA（V<sub>G</sub>=-5V）であるのに対し、比較例2の場合4.76μA（V<sub>G</sub>=-7Vとした）となっており、開口部の径がデバイ長の2倍以下の方がオン電流が大きい。

【0083】電界効果移動度は、実施例7及び比較例2のそれぞれにおいて、400cm<sup>2</sup>/Vs及び88cm<sup>2</sup>/Vsであり、これらの結果からも、開口部の径がデバイ長の2倍以下である方が、プラズマ損傷の発生が少なく、ゲート絶縁膜/基体の界面特性が優れていることが判る。

【0084】また、TFTに適用される本発明のプラズマ処理方法あるいは半導体装置の作製方法は、上述の作製工程、又は上述の素子構造にのみ適用されるものではない。

【0085】（実施例8）実施例8も、プラズマ処理室に配置された基体上に薄膜を成膜するプラズマ処理方法に関する。更に、実施例8は、本発明の第2の態様に係

る半導体装置の作製方法に関する。即ち、実施例8は、半導体装置が太陽電池であり、プラズマ処理室に配置された基体上に保護用絶縁膜を成膜する半導体装置の作製方法に関する。基体は、例えばガラス基板上に形成された、単結晶半導体材料層、アモルファス半導体材料層又は多結晶半導体材料層から構成すればよい。保護用絶縁膜は、 $\text{SiO}_2$ 膜、 $\text{SiN}$ 膜、 $\text{SiON}$ 膜、あるいはこれらの膜の積層構造から構成することができる。

【0086】実施例8においても、本発明の第1の態様に係るプラズマ処理装置を用いた。即ち、実施例3で説明した構造を有する平行平板型のプラズマCVD装置から成るプラズマ処理装置を用いたが、かかるプラズマ処理装置に限定されるものではない。尚、実施例8においては、メッシュプレート40A、41Aに電圧を印加していない。また、メッシュプレート40A、41Aには、0.5mm径の開口部43（平面形状は円形）が、一辺1.0mmの正三角形の頂点上に多数設けられている。

【0087】図12に、実施例8の半導体装置である太陽電池の模式的な一部断面図を示す。実施例8においては、例えばガラス基板200上に下部電極201を形成した後、この上にn型のアモルファスシリコンから成る第1の半導体層202、ノンドープ即ち真性のアモルファスシリコンから成る第2の半導体層203、p型のアモルファスシリコンから成る第3の半導体層204を、順次、例えば本発明の第1の態様に係るプラズマ処理方法に基づいたプラズマCVD法によって成膜する。その後、第3の半導体層203の上に、例えばITO（InとSnの複合酸化膜）から成る透明電極205を被着形成する。その後、各層をパターンニングする。

【0088】次いで、全面に、本発明の第2の態様に係る半導体装置の作製方法に基づき、例えば $\text{SiO}_2$ 、 $\text{SiN}$ あるいは $\text{SiON}$ から成る表面の保護用絶縁膜206を形成する。このように、本発明の第2の態様に係る半導体装置の作製方法を適用することにより、半導体層に損傷を与えることなく、高エネルギー変換効率の太陽電池を作製することができる。

【0089】（実施例9）実施例9も、プラズマ処理室に配置された基体上に薄膜を成膜するプラズマ処理方法に関する。実施例9においては、薄膜は $\text{SiO}_2$ 膜から成るゲート絶縁膜とした。また、基体は、単結晶半導体材料、具体的にはシリコン半導体基板から成る。

【0090】実施例9が実施例6と相違する点は、実施例9においては、本発明の第2の態様に係るプラズマ処理装置を用いた点にある。即ち、実施例9においては、実施例5にて説明した構造を有する平行平板型のプラズマCVD装置から成るプラズマ処理装置を用いた。尚、メッシュプレート40A、41Aには可変直流電源46A、47Aから直流が供給される。メッシュプレート40A、41Aに電圧を印加することによって、メッシュ

プレート40A、41A近傍のプラズマ空間電位と基体の表面電位との間の電位差を0に近づけ、プラズマ中の荷電粒子がこれらの間で加速されそして基体あるいは成膜されつつある薄膜や絶縁膜等に衝突することを効果的に防ぐ。そして、被処理物載置部24に載置された基体には、中性ラジカル、即ち、電氣的に中性の励起原子種若しくは励起分子種が主に照射される。従って、基体（例えばシリコン半導体基板）の表面あるいはその上に形成される薄膜や絶縁膜（例えば $\text{SiO}_2$ から成るゲート絶縁膜）が荷電粒子によって損傷を受けることを効果的に防止できる。尚、プラズマ処理装置は、実施例5にて説明したプラズマ処理装置に限定されるものではない。

【0091】実施例9においては、実施例6と同様に、ゲート絶縁膜を基体であるシリコン半導体基板上に形成する。実施例9においては、具体的には、基体として、ボロンBが $1.0 \times 10^{15} \text{ atoms/cm}^3$ ドープされたp型のシリコン単結晶基板を用いた。そして、その一主面上に、基板温度を $270^\circ\text{C}$ として、図7に示した平行平板型のプラズマCVD装置から成るプラズマ処理装置を用いて、 $\text{SiO}_2$ から成り厚さ $0.1 \mu\text{m}$ のゲート絶縁膜を成膜した。次いで、ゲート絶縁膜の上にアルミニウムの蒸着膜から成るゲート電極を形成して、MISキャパシタ（MISダイオード）を作製した。

【0092】メッシュプレート40A、41Aに印加される電圧（ $V_0$ ）を変化させて、各種のMISキャパシタ（MISダイオード）を作製した。尚、メッシュプレート40A、41Aには同一の電圧（ $V_0$ ）を印加した。そして、作製したMISキャパシタ（MISダイオード）の高周波1MHzにおける電気容量—電圧特性（C—V特性）を測定することにより、ゲート絶縁膜とゲート電極の界面の評価を行った。

【0093】測定結果を図13に示す。図13の（A）は、メッシュプレート40A、41Aに印加した電圧（ $V_0$ ）が+1.5Vのときのものであり、図13の（B）は $V_0$ が-4.5Vのときのものである。図13から明らかなように、 $V_0$ が+1.5Vの場合、フラットバンド電圧は-0.89Vとなり、 $V_0$ が-4.5Vの場合、フラットバンド電圧は-4.44Vであった。即ち、 $V_0$ が+1.5Vの場合の方が、フラットバンド電圧シフトが少ない。言い換えれば、プラズマ損傷による、ゲート絶縁膜中の正電荷の生成が少ない。ゲート絶縁膜の電荷密度は、 $V_0$ が+1.5Vのとき、 $5 \times 10^9 \text{ cm}^{-2}$ であり、 $V_0$ が-4.5Vのとき、 $1.82 \times 10^{12} \text{ cm}^{-2}$ であった。

【0094】一方、ミッドギャップの界面準位密度は、 $V_0$ が-4.5Vのとき、 $1.2 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ 、 $V_0$ が+1.5Vのとき、 $4.3 \times 10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ であった。これより、メッシュプレートに+1.5Vの電圧 $V_0$ を印加することによって、界面準位密度低減の効果が

得られる。言い換えれば、例えばトランジスタにおいては、サブスレッショールドスイング値（サブスレッショールド係数）が小さく、トランジスタの立ち上がり特性が優れている。

【0095】図14に、ゲート絶縁膜の電荷密度と、メッシュプレートに印加した電圧 $V_0$ の関係を示す。ここでは、メッシュプレート40A、41Aに等しい電圧 $V_0$ を印加した。図14から明らかなように、 $V_0$ が+15Vにおいてゲート絶縁膜の電荷密度に最小点がある。この条件下で、メッシュプレート40A、41A近傍のプラズマ空間電位と基体の表面電位との間の電位差が略0（即ち、略同一）となり、その結果、ゲート絶縁膜のプラズマ損傷の発生が抑制され、ゲート絶縁膜の電荷密度が低く抑えられていると考えられる。メッシュプレート40A、41A近傍のプラズマ空間電位と基体の表面電位との間の電位差が0から離れるに従い、ゲート絶縁膜の電荷密度の値は高くなり、またそのばらつきも大きくなる。図14から、メッシュプレートに印加する電圧 $V_0$ は、0ボルト $< V_0 \leq 30$ ボルト、好ましくは10ボルト $\leq V_0 \leq 30$ ボルト、より好ましくは10ボルト $\leq V_0 \leq 20$ ボルトであることが判る。一般的には、ゲート絶縁膜の電荷密度を評価すれば、かかる電荷によって基体表面から外側に向かって形成される電場の強度を求めることができる。これによって、メッシュプレートと基体との間の距離に応じたこの間の電位差を求めることができる。従って、メッシュプレートに印加すべき電圧は、かかる電位差を打ち消すことができるような電圧とすればよい。

【0096】尚、メッシュプレート40A、41Aに異なる電圧を印加してもよいが、それぞれに印加する電圧の差が大きくなると、メッシュプレート40Aとメッシュプレート41Aとの間で荷電粒子が大きく加速される虞があるので、メッシュプレート40A、41Aに印加する電圧は出来る限り同じ電圧であることが好ましい。

【0097】このメッシュプレートへの印加電圧 $V_0$ の制御によるプラズマ損傷発生の低減は、上述のMISキャパシタ（MISダイオード）のみに当てはまるものではなく、TFTを始めとするMISトランジスタ作製に適用される効果であることはいうまでもない。例えば、本発明の第2の態様に係るプラズマ処理装置を用いる点を除き、実施例7と同様の工程でTFTを作製することができ、あるいは又、実施例8と同様の工程で太陽電池を作製することができる。

【0098】以上、本発明を好ましい実施例に基づき説明したが、本発明はこの実施例に限定されるものではない。プラズマの放電の方式は、DC、RF、VHF、マイクロ波、ECR（電子サイクロトロン）プラズマ、ヘリコン波のいずれの方式であってもよい。

【0099】実施例においては、プラズマ処理装置として、専ら、膜形成を目的としたリモートプラズマCVD

装置を説明し、プラズマ処理方法として、プラズマ処理室に配置された基体上に薄膜をプラズマCVD法で成膜する方法を説明した。しかしながら、プラズマ処理方法として、RF又はDCプラズマを用いたスパッタ法を挙げることができ、プラズマ処理装置として、かかるスパッタ法に適した、二極スパッタ装置、多極スパッタ装置、マグネトロンスパッタ装置等から成るDCスパッタ装置若しくはRFスパッタ装置を挙げることができる。この場合においては、ターゲットと基体との間に本発明の特徴であるメッシュプレートを配設することにより、基体におけるプラズマ損傷の発生を抑制することができる。

【0100】また、半導体装置を作製するためのエッチング工程において、エッチャントが中性ラジカルであるような場合ならば、ラジカルビームエッチング装置から成る本発明のプラズマ処理装置を用いることにより、荷電粒子（イオン又は電子）による基体への損傷発生を抑制しながらドライエッチングを行うことができる。この場合、エッチングガス（エッチャント）として、 $SiF_6$ 、 $SiCl_4$ 、 $CF_4$ 、 $NF_3$ を例示することができる。

【0101】更には、半導体装置の作製等の各種の分野におけるフォトリソグラフィ工程において、フォトレジストを灰化（アッシング）する場合にも、本発明のプラズマ処理装置を用いることにより、基体に対するプラズマ損傷の発生を抑制しながら、レジストの灰化（アッシング）を行うことができる。この場合、一般に酸素ガスの無声放電を行い酸素ラジカル的一种であるオゾン $O_3$ を発生させる。更には、オゾンの寿命を延ばすために例えば波長254nmの紫外線水銀ランプを照射しながらレジストの灰化を行う方法がしばしば採られているが、例えばプラズマ処理室の側壁に紫外線水銀ランプを配設することにより、効率よく紫外線を酸素ラジカルに照射することができる。

【0102】プラズマ放電させるガス種については、特に制限はない。上述した、 $SiO_2$ から成る絶縁膜の形成のためのソースガスであるSiの原料ガスとして、モノシラン $SiH_4$ ガスの他にも、ジシラン $Si_2H_6$ ガスや高次シランガスを用いることができる。また、酸化性のガスとして、酸素ガスの他に、 $N_2O$ 等の酸化窒素ガスを用いることができる。

【0103】絶縁膜あるいは薄膜は $SiO_2$ に限られず、 $SiN$ 、 $SiON$ の単層膜あるいはこれらの積層構造とすることができる。尚、窒化膜（ $SiN$ ）あるいは酸化窒化膜（ $SiON$ ）を成膜する場合には上述したガスに加え、例えばアンモニアガスを用いる。

【0104】本発明のプラズマ処理方法あるいは半導体装置の作製方法は、実施例にて説明したMIS型構造を有する半導体装置を作製する場合に限られるものではなく、他の各種半導体装置の作製に適用することができ

る。また、基体は、シリコンに限られるものではなく、Ge、SiGe 固溶体、あるいは Si-Ge 系超格子等の積層薄膜構造を有する場合、更には、これらの単結晶材料、非晶質材料、多結晶材料等を挙げることができる。また、絶縁膜として、ゲート絶縁膜の他、層間絶縁膜や平坦化絶縁膜を挙げることができる。

【0105】例えば図15に模式的な一部断面図を示すように、図10の(B)で示したTFTに対して、例えば本発明の第1の態様に係るプラズマ処理方法あるいは第1の態様に係る半導体装置の作製方法を適用して、SiN又はSiONから成る層間絶縁膜110を全面に形成する。次いで、層間絶縁膜110に開口部を形成し、その後、開口部内を含む層間絶縁膜110上に、例えばアルミニウム系合金から成る金属配線材料を例えばスパッタ法や真空蒸着法にて成膜し、かかる金属配線材料をフォトリソグラフィ技術及びエッチング技術によってパターンニングする。これによって、上層配線111を形成することができる。更に、その上に、例えば本発明の第1の態様に係るプラズマ処理方法あるいは第1の態様に係る半導体装置の作製方法を適用して、SiO<sub>2</sub>やSiNあるいはSiONから成る表面保護用若しくは平坦化用の絶縁膜112を形成する。このようにして、プラズマ損傷の発生を低減させることができ、優れた素子特性を有する半導体装置を作製することができる。

【0106】本発明のプラズマ処理装置は、各種のドーピングを実行するためのプラズマドーピング装置にも適用することができる。

【0107】

【発明の効果】本発明の第1の態様に係るプラズマ処理装置、あるいは係るプラズマ処理装置を用いたプラズマ処理方法若しくは半導体装置の作製方法においては、径がデバイ長の2倍以下の開口部を有するメッシュプレートに配設することによって、プラズマの遮蔽、即ち、プラズマ中の電子又は正負イオンといった荷電粒子の遮蔽を効果的に行うことができる。本発明の第2の態様に係るプラズマ処理装置、あるいは係るプラズマ処理装置を用いたプラズマ処理方法若しくは半導体装置の作製方法においては、メッシュプレートに印加する電圧を適切に制御することによって、基体の表面あるいは成膜中の薄膜等に入射するプラズマ中の荷電粒子の運動エネルギーを低減することができる。これらの効果によって、プラズマ損傷により、例えば、絶縁膜/基体の界面及びその近傍において欠陥が生成することを効果的に抑制することができる。

【0108】その結果、例えばゲート絶縁膜を形成した場合、MISトランジスタの素子特性が向上する。即ち、ゲート絶縁膜中の正電荷の生成が低減し、フラットバンド電圧を0Vに近づけることができることから、nチャネル型MISトランジスタにおけるデプレッション型への移行、即ち、エンハンスメント型とすることがで

き、あるいは又、pチャネル型MISトランジスタにおいては閾値電圧 $V_{th}$ の増大化を回避できる。従って、MISトランジスタの確実な動作が可能になり、両導電型チャネルのMISトランジスタによる低電圧駆動のCMOS等の集積回路化を容易に行うことができる。

【0109】また、本発明の第1あるいは第2の態様に係るプラズマ処理装置、あるいは又、これらのプラズマ処理装置を用いたプラズマ処理方法は、薄膜形成のみならず、プラズマエッチング、レジストのアッシングに対しても適用でき、薄膜形成と同様に、それぞれのプロセスにおいてプラズマ損傷を素子や基体に与えることない。それ故、例えば、フラットバンド電圧のシフト等を効果的に抑制することができる。

【0110】また、同一の基体（例えば半導体基板）における素子特性のばらつきを小さくできることから、回路の集積化が容易となる。更には、MISトランジスタにおいては、例えば半導体と絶縁膜の界面特性の向上、即ち、サブスレッショールドスイング値を下げ、オン電流を増大させ、オフ電圧を低下させ、閾値電圧 $V_{th}$ を低下させることができ、集積回路の高速動作化が実現できる。

【図面の簡単な説明】

【図1】実施例1のプラズマ処理装置の構造を示す模式的である。

【図2】実施例1のプラズマ処理装置における、電子密度とRF電力の関係を示す図である。

【図3】実施例2のプラズマ処理装置の構造を示す模式的である。

【図4】実施例3のプラズマ処理装置の構造を示す模式的である。

【図5】実施例4のプラズマ処理装置の構造を示す模式的である。

【図6】実施例4のプラズマ処理装置における、プラズマ空間電位とメッシュプレートに印加した電圧との関係、及び電子密度とRF電力の関係を示す図である。

【図7】実施例5のプラズマ処理装置の構造を示す模式的である。

【図8】実施例6及び比較例1における電気容量-電圧(C-V)特性測定結果を示す図である。

【図9】実施例7の半導体装置の作製方法の各工程を説明するための工程図である。

【図10】図9に引き続き、実施例7の半導体装置の作製方法の各工程を説明するための工程図である。

【図11】実施例7及び比較例2におけるドレイン電流( $I_D$ )-ゲート電圧( $V_G$ )特性結果を示す図である。

【図12】実施例8の半導体装置である太陽電池の模式的な一部断面図である。

【図13】実施例9における電気容量-電圧(C-V)特性測定結果を示す図である。

【図14】実施例9における、ゲート絶縁膜の電荷密度



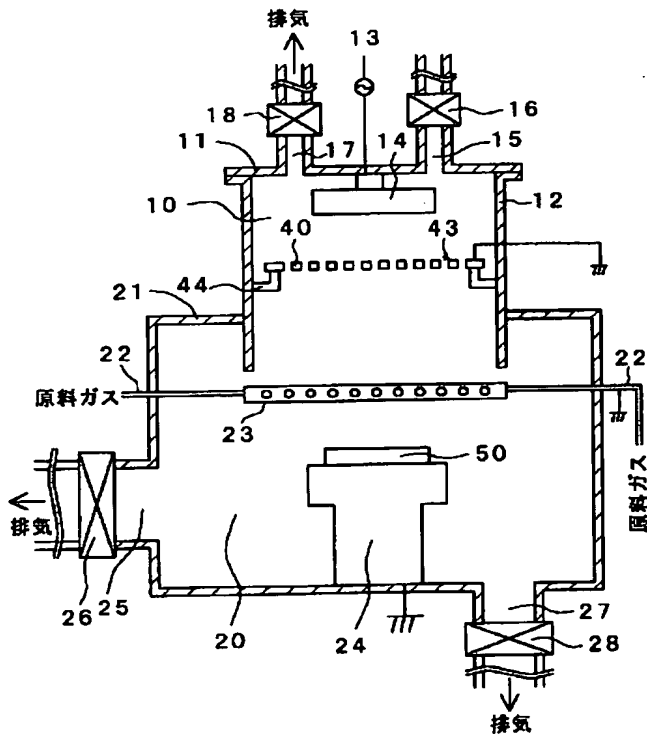
とメッシュプレートに印加した電圧 $V_0$ の関係を示す図である。

【図15】本発明の半導体装置の作製方法を適用した、多層配線構造を有するMISトランジスタの模式的な一部断面図である。

【符号の説明】

- 10 プラズマ生成室  
11, 12, 12A, 21, 32, 33 外壁部材  
13 電力導入端子  
14 上部電極  
15, 22 ガス導入部  
17, 25, 27, 34 ガス排気部  
16, 18, 26, 28, 35 バルブ  
20 プラズマ処理室  
23 ガス拡散器  
24 被処理物載置部  
30, 31 プラズマ分離室

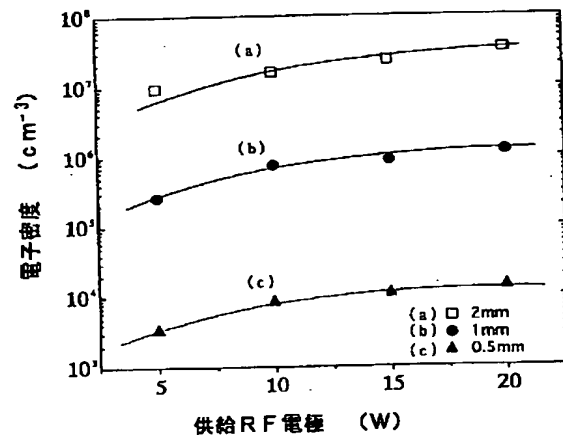
【図1】



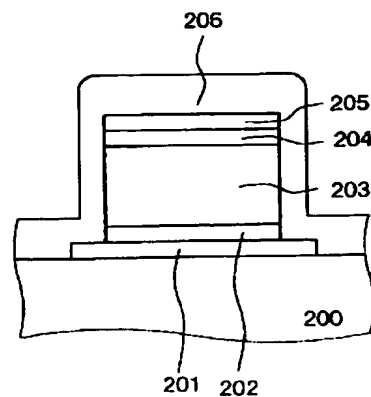
- 40, 40A, 41, 41A, 42 メッシュプレート  
43 開口部  
44 支持部材  
46 可変直流電源  
50 被処理物  
100, 200 ガラス基板  
101, 202 第1の半導体層  
102, 203 第2の半導体層  
103 ソース・ドレイン領域  
104 チャネル領域  
105 ゲート絶縁膜  
106 ソース・ドレイン電極  
107 ゲート電極  
201 下部電極  
204 第3の半導体層  
205 透明電極  
206 表面の保護用絶縁膜

【図2】

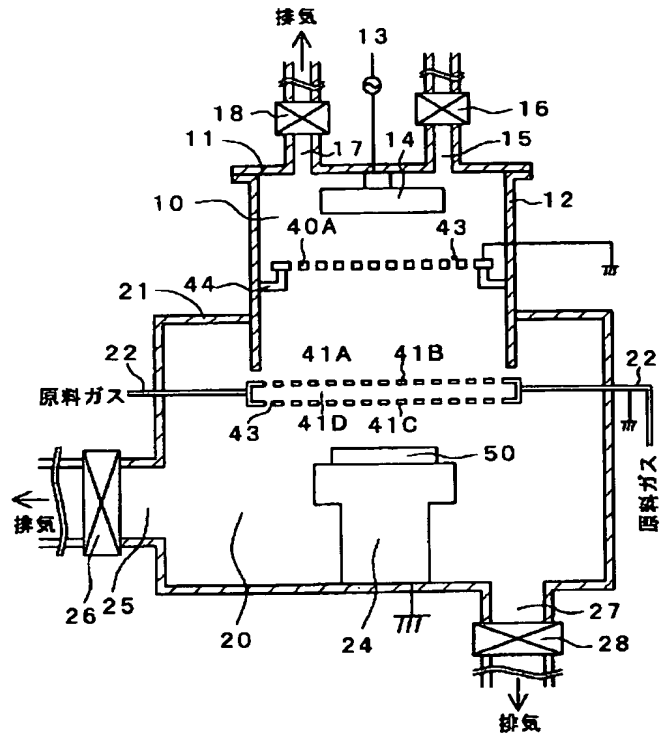
RF電力と電子密度の関係



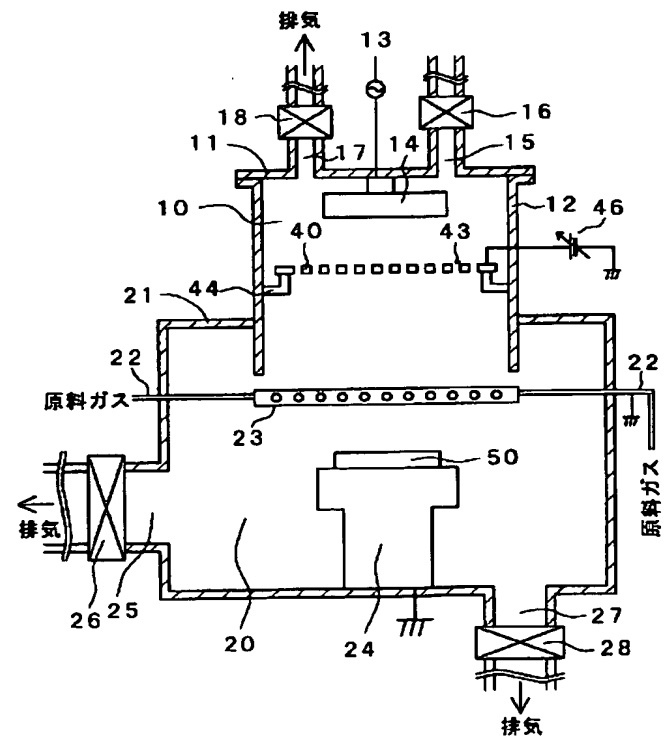
【図12】



【 例 4 】

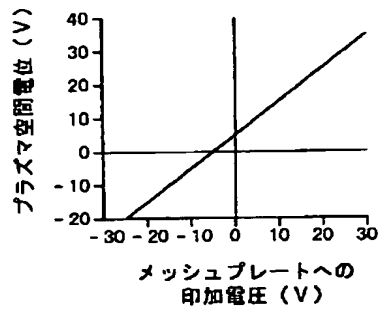


【图 9】

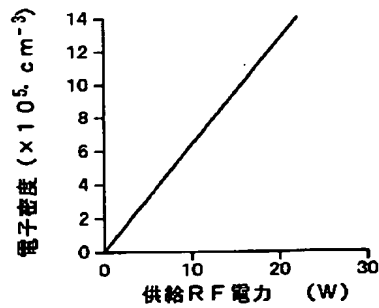


【図 6】

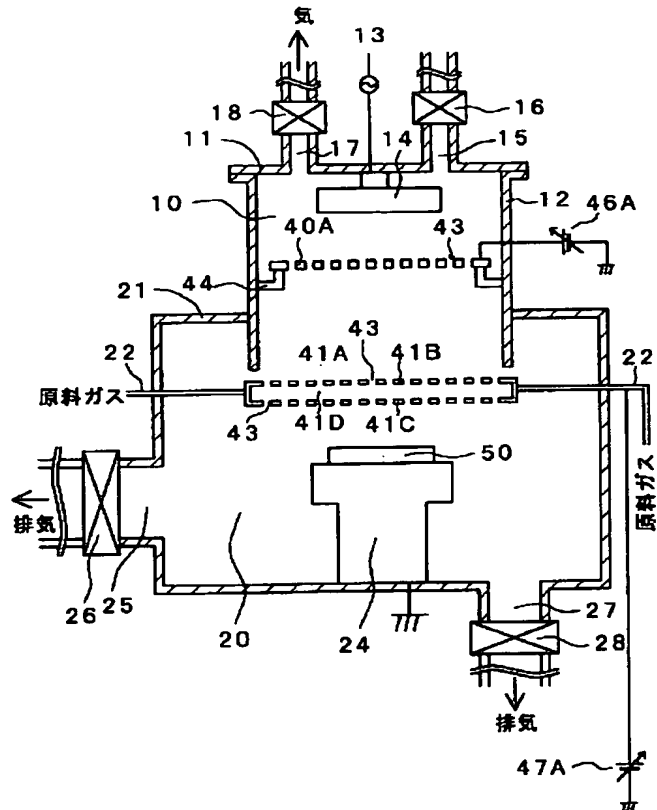
(A)



(B)

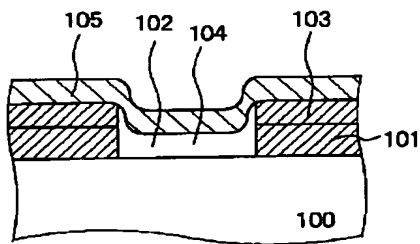


【図 7】

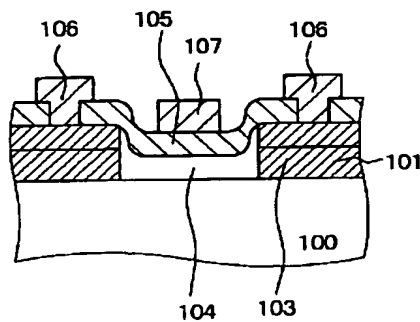


【図 10】

(A)

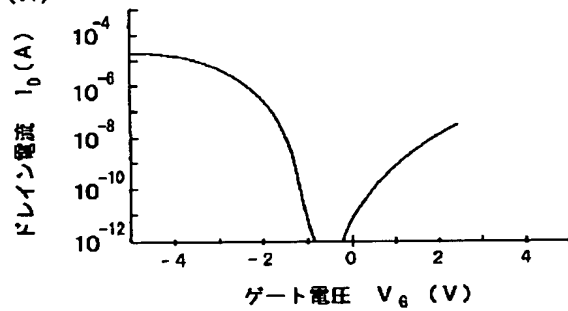


(B)

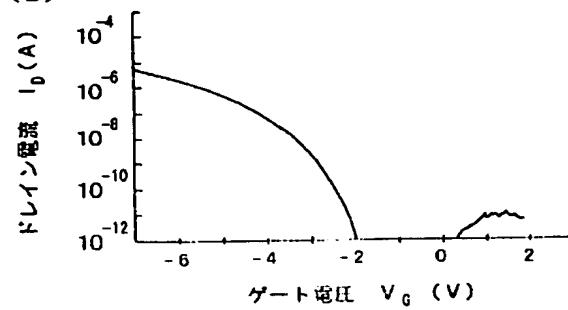


【図 11】

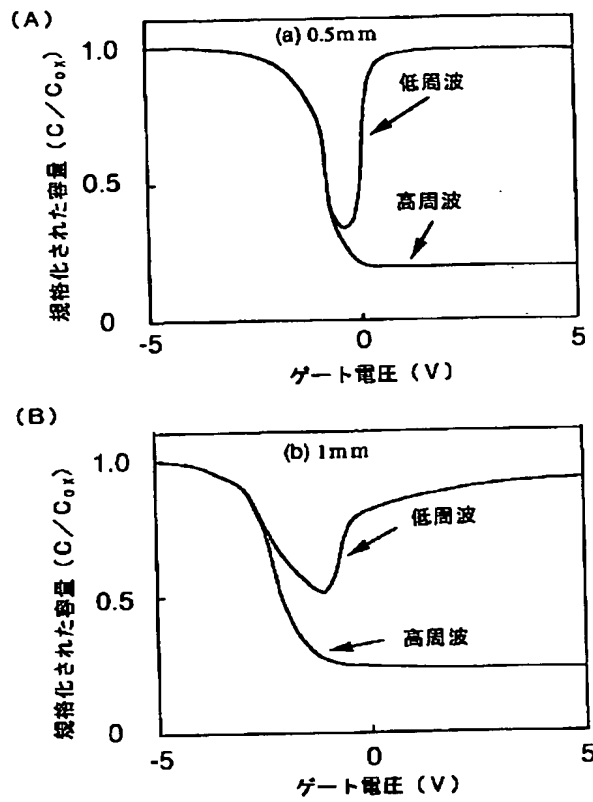
(A)



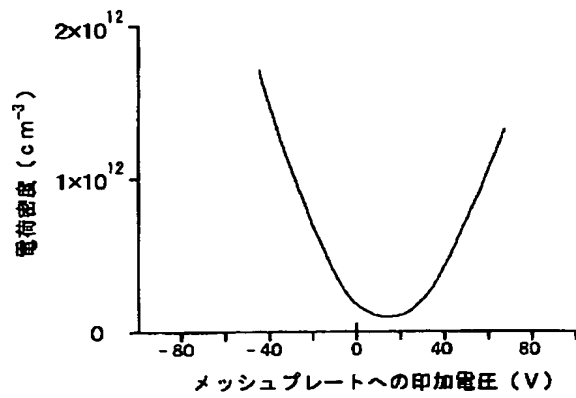
(B)



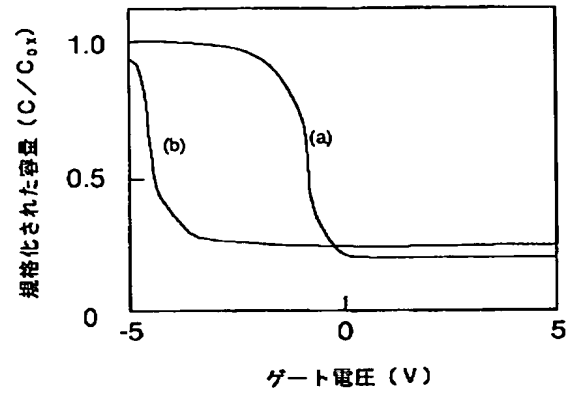
【図 8】



【図 14】



【図 13】



【図 15】

